

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 05080816
PUBLICATION DATE : 02-04-93

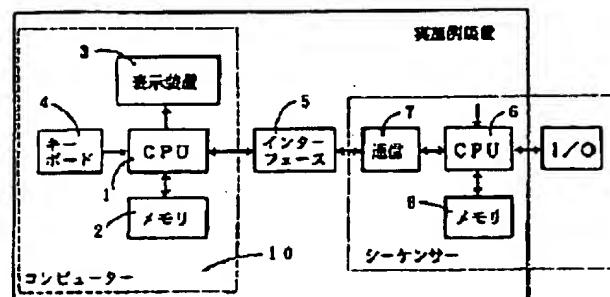
APPLICATION DATE : 19-09-91
APPLICATION NUMBER : 03268979

APPLICANT : TOYOTA AUTO BODY CO LTD;

INVENTOR : ARAKAWA TOMOHIRO;

INT.CL. : G05B 19/05

TITLE : DEVICE FOR EVALUATING LINE
CONTROL CIRCUIT



ABSTRACT : PURPOSE: To confirm the propriety of a circuit design by means of an offline by detecting a device which is changed to specifications based on a specified format by means of a comparing means.

CONSTITUTION: A ladder circuit designed in accordance with a time chart being the basic specifications is stored in a memory 8 and the memory 2 of a computer 10 with a simulation sequencer CPU at first. The computer 10 reads the specifications by inputting the specified format, the program of the ladder circuit, the input of the device, etc., which are generated based on the basic specifications to store them in the memory 2. Input condition is outputted to the sequencer by the formal calculation of the read specified format with an interface 5 in accordance with operation order to be set. Thus, the simulation sequencer is executed so that the output state of the device changed as the result is read from the memory 8. It is compared and decided whether the change matches the specifications or not and the propriety of circuit design is judged.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-80816

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.³
G 0 5 B 19/05

識別記号 庁内整理番号
D 7361-3H

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 8 頁)

(21)出願番号 特願平3-268979

(22)出願日 平成3年(1991)9月19日

(71)出願人 000110321

トヨタ車体株式会社

愛知県刈谷市一里山町金山100番地

(72)発明者 荒川 智広

愛知県刈谷市一里山町金山100番地 トヨ

タ車体株式会社内

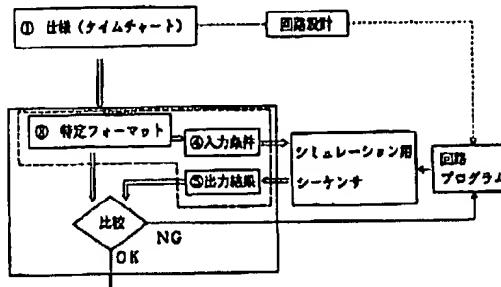
(74)代理人 弁理士 ▲高▼橋 克彦

(54)【発明の名称】 ライン制御回路の評価装置

(57)【要約】

【目的】 ライン制御回路と入出力部を含む設備を接続する以前に、ラダー回路の自動シミュレーションチェックを行うことにより、回路設計の善し悪しをオフラインで確認する。

【構成】 基本仕様に従い設計されたラダープログラムと、一方の方向に工程動作内容を記載し他方の方向に動作毎の時間と動作順序を記載した特定フォーマットとシーケンサの動作前のデバイスの状態を記憶するメモリと、シーケンサのラムより読み出したシーケンサの動作後のデバイスの状態が動作前のデバイスの状態から変化したデバイスを取り出し特定フォーマットに基づく仕様に対して変化しているかどうかを比較する比較手段を備えた、ライン制御回路の評価装置。



【特許請求の範囲】

【請求項1】 基本仕様に従い設計されシーケンサ内のラムに格納されたラダープログラムを格納するとともに、前記基本仕様に従い一方の方向に工程および動作内容を記載し他方の方向に動作毎の時間と動作順序を記載した特定フォーマットを格納し、シーケンサの動作前後のデバイスの状態を記憶するメモリと、動作順序に従いシーケンサの動作後の前記デバイスの状態をシーケンサのラムより読み出すとともに、前記メモリに記憶したシーケンサの動作前のデバイスの状態とを読み出して状態が変化したデバイスを取り出し、前記メモリに格納された特定フォーマットに基づく仕様に対して変化しているかどうかを比較する比較手段とを備えたことを特徴とするライン制御回路の評価装置。

【請求項2】 請求項1に対して、特定フォーマットに基づく仕様に反して変化しているデバイスの要因となつた回路を各回路のオン・オフ状態を判断することにより自動的に検索する要因回路検索手段を付加したことを特徴とするライン制御回路の評価装置。

【請求項3】 請求項1に対して、出力時点においてインターロックの対象に対して強制的に不成立条件を与えてインターロックがとられるかどうかを判断することにより、インターロックを自動的にチェックするインターロックチェック手段を付加したことを特徴とするライン制御回路の評価装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願発明は、自動化ラインで使用されるシーケンサ内に組込むプログラムであるラダーレジューションの評価を行うライン制御回路の評価装置に関するものである。

【0002】

【従来の技術】 従来は、通常ラインで使用される実機を用いてテストを行っていた。

【0003】 事前に評価する方法としては、シーケンサに1条件ずつ設定し、その結果から判断するというものがあった。

【0004】

【発明が解決しようとする課題】 実機で行う従来法においては、当然のことながら事前にバグを見つけることができないため、実機においてデバッグが完了するまで実機を稼働することができないので、結局ラインの立上がりが遅れるという問題があった。

【0005】 シーケンサに1条件ずつ設定する従来法においては、人が毎回1条件ずつ設定し、その結果に基づき判定するため、同様のチェックを行う場合でも、初めから1条件ずつ行う必要があり、膨大な時間と工数を要した。機械系の対応がないため、判定が難しく、機械系の応答も毎回入力すると、今度は逆にミスが発生し易くなるという問題があった。条件は組合せその他を考慮し

て人が作成するので、複雑なタイミングやインターロックの確認を充分行うことができないという問題があつた。

【0006】 ライン制御回路と出入力部を含む設備を接続する以前に、ラダーレジューションの自動シミュレーションチェックを行うことにより、回路設計が良いかどうかをオンラインで確認することができなかつた。

【0007】

【課題を解決するための手段】 本願発明のライン制御回路の評価装置は、基本仕様に従い設計されシーケンサ内のラムに格納されたラダープログラムを格納するとともに、前記基本仕様に従い一方の方向に工程・動作内容を記載し他方の方向に動作毎の時間と動作順序を記載した特定フォーマットを格納し、シーケンサの動作前のデバイスの状態を記憶するメモリと、シーケンサの動作後の前記デバイスの状態をシーケンサのラムより読み出すとともに、前記メモリに記憶したシーケンサの動作前の状態とを読み出して状態が変化したデバイスを取り出し、前記メモリに格納された特定フォーマットに基づく仕様に対して変化しているかどうかを比較する比較手段とを備えたものである。

【0008】 請求項2に記載した第2発明のライン制御回路の評価装置は、上記第1発明に対して、特定フォーマットに基づく仕様に反して変化しているデバイスの要因となつた回路を、各回路のオン・オフ状態を判断することにより、自動的に検索する要因回路検索手段を付加したものである。

【0009】 請求項3に記載した第3発明のライン制御回路の評価装置は、上記第1発明に対して、出力時点においてインターロックの対象に対して強制的に不成立条件を与えてインターロックがとられるかどうかを判断することにより、インターロックを自動的にチェックするインターロックチェック手段を付加したものである。

【0010】

【作用】 上記構成より成る第1発明のライン制御回路の評価装置は、シーケンサのラムに格納されたラダープログラムに従いシーケンサが動作することによりデバイスの状態が変化すると、メモリに記憶されているシーケンサの動作前のデバイスの状態とシーケンサのラムに記憶されているシーケンサの動作後のデバイスの状態とともに読み出して状態が変化したデバイスを取り出し、前記メモリに格納された特定フォーマットに基づき条件を生成して仕様に対して変化しているかどうかを比較手段により比較することにより、仕様に対して変化しているデバイスを検出するものである。

【0011】 上記構成より成る第2発明のライン制御回路の評価装置は、特定フォーマットに基づく仕様に反して変化したデバイスの要因となつた回路を各回路のオン・オフ状態を判断することにより検索する。

【0012】 上記構成より成る第3発明のライン制御回

3

路の評価装置は、出力時点においてインターロックの対象に対して強制的に不成立条件を与えてインターロックがとられるかどうかを判断する。

【0013】

【発明の効果】第1発明のライン制御回路の評価装置は、比較手段により、特定フォーマットに基づく仕様に対して変化しているデバイスを検出することにより、自動的に仕様に合っているかどうかをチェックすることが出来るので、制御回路とメカ部を含む設備を接続する以前にラダーレコードの自動シミュレーションチェックを行うことにより、制御回路の回路設計の良否を事前にオフラインで確認することができるという効果を奏する。

【0014】第2発明のライン制御回路の評価装置は、特定フォーマットに基づく仕様に反して変化しているデバイスの要因となった回路を自動的に検索するので、適正に動作するように要因となった回路を修正することができるという効果を奏する。

【0015】第3発明のライン制御回路の評価装置は、インターロックを自動的にチェックするので、人間の判断では各種の定められた条件の成立が関連するチェックを充分正確に行えなかったことを可能にしたという効果

4

を奏する。

【0016】

【実施例】以下本発明（第1～第3発明）の実施例のライン制御回路の評価装置を、図1ないし図4および、表1および表2を用いて説明する。

【0017】（実施例の概要）まず、実施例のライン制御回路の評価装置の概要を、図1のシステム概念図に基づき説明する。

【0018】ラダーレコードのタイムチャートである基本仕様に基づきラダーレコードの設計が行われ、ラダーレコードのプログラムができると、これをまずシミュレーション用シーケンサのメモリにCPUを介して格納する。

【0019】次に、基本仕様に基づき、表1および表2に示すような一方の方向に工程および動作名称および動作内容入力デバイスXXXXの設定状態、出力デバイスYYYYの状態を適宜記載し、他方の方向に動作毎の時間および動作順序を記載した特定フォーマットを作成する。表1は数値表示した特定フォーマットの例で、表2は数式表示した特定フォーマットの例である。

20 【表1】

10

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

(4)

5

表中 1……オン、0……オフ、10……インターロック

動作表示

工程名	動作名称	動作内容	コメント	出力	既定		時間	順序	24		
					WW	XXX	(W)	1	2
ライン 射出機	仕掛運動			X154	1						
	車種選元R0			X154	1						
	車種選元B8			X156	1	0					
					
	選択モード 各國			X150					0		
	選択モード 自動			X151					1		
	自動運転R			X152					1	0	
					
	NOL/R8	送り外部運動	Y50C					1			
					
N2 R6	送り干予外			X520					1		
	第1加工完了			X521					1		
	第2加工完了			X522					1		
					
	干予外			X127					10.		

6

[表2]

卷中

〔0020〕この特定フォーマットをコンピュータのメモリ内に格納し、この特定フォーマットの情報に基づきデバイス、動作順序、動作時間、インターロック、機械系応答の入力条件を決定し、シミュレーション用シーケンサに入力するとともに、メモリにも格納する。

【0021】シミュレーション用シーケンサが前記各種入力条件に基づき動作を行い、その都度シーケンサの出力結果をコンピュータのメモリ内に取り組む。

【0022】シーケンサの出力結果が特定フォーマットに基づく仕様に適合するものかどうかを比較手段により比較判断することにより、回路設計の良否を判断するものである。

【0023】(実施例の構成) 実施例のライン制御回路の評価装置は、図2に示すようなハード構成より成り、基本仕様に基づく特定フォーマットの表計算を行いシミュレーション用シーケンサへの入力条件を設定するCP

9

U1と、設計されたラダーハードウェアのプログラムや、特定フォーマット、特定フォーマットに基づく入力条件や、シーケンサの出力結果を記憶するメモリ2と、必要な状態および結果を適宜表示する表示装置3と、指令を入力するキーボード4と、からなるパソコンで構成したコンピュータ10と、シーケンサとの通信を行うための媒体としてのインターフェース5と、仕様に基づき設計された回路プログラムが入力されシーケンサの動作演算を行うシーケンサのCPU6と、シーケンサのCPU6とインターフェース5を介してコンピュータのCPU1と連絡する通信機構7と、回路プログラムやシーケンサ動作後の出力結果を記憶するメモリ8とから成る。

【0024】実施例装置の基本的考え方と設定事項を次に示す。ラダーハードウェアは、そのプログラムがフロッピーディスクに納められ、使用デバイス(X, Y, M等)の取り出しや、コメントファイルの読み出しが行われる。

【0025】入力デバイスの初期設定として、電源立ち上げ時の各デバイスの状態を設定する。

【0026】機械系の応答表示をフロッピーディスクに納め、設定する。

【0027】各デバイスの状態(シーケンサCPUラン前)を記憶エリアAとしてメモリ2上に確保する。CPUラン中の各デバイスの状態を記憶エリアBとしてメモリ2上に確保する。シーケンサCPUラン前とCPUラン後が等しくない各デバイスの状態を記憶エリアCとしてメモリ2上に確保する。

【0028】初期設定として、シーケンサCPU6がストップした状態の初期設定値を前記記憶エリアAに設定し、初期設定値の反転状態を記憶エリアBに設定し、記憶エリアAとBを比較し、異なるレジスタ(C)のみシーケンサのメモリ8に出力する。したがって初期設定値は全てのレジスタを出力する。

【0029】電源立ち上げ時の初期変化状態の読み込みとして、シーケンサのCPU6がランしている状態において、出力デバイスYの状態をシーケンサのメモリ8から読み込み記憶エリアBに保存する。記憶エリアAとBより、状態が変化したデバイスCを作成する。その後記憶エリアAに記憶エリアBの内容をコピーする。

【0030】特定フォーマットより、動作順序の内容を取り出す、すなわち入力デバイスXをオンあるいはオフ状態に設定し、出力デバイスYはオンあるいはオフ状態の待ちの状態である。

【0031】指定順序毎のシミュレーションとして、記憶エリアAで動作順序ナンバより求めた入力デバイス(X等)の部分を指定の状態に設定し、記憶エリアAとBとを比較し、異なるレジスタのみシーケンサのメモリ8に出力する。

【0032】シーケンサCPU6がメモリ8に従いランした時の出力デバイスの状態をシーケンサのメモリ8から読み込みメモリ2の記憶エリアBに保存する。

10

10

【0033】シーケンサCPU6をストップさせ、シーケンサの演算動作を停止させておき記憶エリアAと記憶エリアBの状態とを比較し、異なるレジスタを計算し、記憶エリアCに保存する、その後メモリ2の記憶エリアAに記憶エリアBの内容をコピーする。

【0034】変化したデバイスの記憶エリアCで、特定フォーマットの情報により動作順序ナンバよりもとめた出力デバイスY等が、動作順序ナンバより求めた特定の状態になっているかをチェックし、判定付きで表示装置3に表示する。上記以外の変化デバイスも順に表示する。

【0035】機械系応答の設定として、記憶エリアCで、機械系に登録された出力デバイスYその他がある場合は、対応する状態を記憶エリアAに設定する。

【0036】動作順序ナンバの進行(インクリメント)として、先の変化したデバイスのチェック中の判定が、現在作業中の動作順序ナンバ上の全デバイスが成立していた場合は、動作順序ナンバを1だけ更新させ問題が無ければ、全動作順序ナンバが終了するまで更新し続ける。

【0037】現在作業中の動作順序ナンバ上の部分的なデバイスのみが仕様に対し成立していた場合、動作順序ナンバを更新しないが、一度成立したデバイスについては、次のチェックからは外す。それは例えばクランプがオンしてリミットスイッチがオンとなり、その後クランプがオフとなる場合のように一度成立後、条件が変化することが正常の場合があるからである。

【0038】成立しなかったデバイスが一定時間経過した後も成立しない場合は、要因となる回路を検索し表示装置3に表示する。

【0039】(実施例の作用) 上記構成および設定により成る実施例装置の作用および動作を図3に示すフローチャートに従い説明する。まず基本仕様であるタイムチャートに従って設計されたラダーハードウェアをシミュレーション用シーケンサCPUを介してメモリ8およびコンピュータ10のメモリ2に格納する。

【0040】コンピュータ10は、基本仕様に基づき表1および表2に示すように作成された特定フォーマット、ラダーハードウェアのプログラム、デバイスの入力、インターロック入力および機械系応答入力等を入力することにより仕様を読み込み、メモリ2に格納する。

【0041】メモリ2に読み込まれた特定フォーマットの表計算により、動作順序パターン(仕様)を読み取り、動作順序に従い、インターフェース5を介して、シーケンサに入力条件を出力し、設定する。

【0042】シミュレーション用シーケンサを実行(CPUラン)させ、その結果変化したデバイスの出力状態をメモリ8から読み出す。

【0043】変化したデバイスを取り出し、その変化が仕様に対応する所定のものかどうかを比較し判定する。

11

【0044】一定時間経過後においても仕様に対応する所定の状態にない場合は、出力の回路を取り出し、要因となった回路を検索する。例えば、出力Y1がオンしない要因は、図4に示すように自動検索により、レジスタM1がオンしていないためで、同様に自動検索し、デバイスX4がオフでもデバイスX3はオンのため、最終的にデバイスX5が要因であると検索するものである。上述のようにオンしていないデバイスがMのように内部メモリデバイスの場合は、その内部メモリデバイスの出力回路を取り出し、同様に対象となるデバイスについて全てチェックを行う。ただし、オア条件の回路で一方がオンしていればオンしていない回路部分については、対象外とする。

【0045】この時必要に応じて、ラダーレジスタのデバイスX5関連の修正を行うこともできる。

【0046】正常な場合は、特定フォーマットの動作順序に従い、入力条件の設定、デバイスの出力状態との比較判断を自動的に繰り返し行う。

【0047】また途中で、変化したデバイスの出力状態が、機械系の動作で入力条件に影響を与える場合、例えばクランプがオンの時にリミットスイッチがオンに自動設定される場合、機械系応答入力に従い、自動的に対応を検索して入力条件を設定するものである。

【0048】マニュアルの条件設定が有る場合は、必要に応じて条件を設定する。

【0049】上述で、仕様のサイクルが終了した場合は、インターロックを確認するために、デバイスの出力時点での強制的不成立条件を与えて、インターロックが取られるかどうかを自動チェックする。この場合、必要に応じて、インターロックの条件の見直しを行い、ラダーレジスタを修正することもできる。

【0050】タイミングによる不具合検出を可能とするため、特定フォーマットの同一動作順序内で入力される条件の順序の入れ替えを、対応する機械系の入力も含めて実施して、結果に悪影響が無いか自動チェックする。すなわち①→②→③の順序で入力される条件を①→③→②の順序で条件を入力させた場合の結果をチェックするものである。すなわち、内部の状態を保持する保持回路を有する内部メモリデバイスの組合せに係わる場合、セット、リセットの出力が同一デバイスの場合、複数のデバイスの状態を応用命令として同一のデバイスに転送する場合、電源オフ時に切れずにその状態を維持するラッチレジスタを用いる場合、パルス命令のタイミングにより状態が決まるデバイスの場合や2つのデバイスを用いる回路の場合、タイマー命令によって状態が変わるデバイスの場合およびこのデバイスを用いる回路の場合が、動作順序変更の組合せに該当する。

【0051】後半の部分で述べたチェックは、いわゆるいじわるチェックに該当するものでラダーレジスタの完成度を上げるために必要に応じて適宜行われるものである。

10

12

【0052】(実施例の効果)本実施例では、表1および表2に示すように横軸に、動作順序、動作毎の時間をとり、縦軸に工程および動作内容、入出力デバイスの状態等を示す特定フォーマットを使用するため、基本仕様を整理して具体化することができるので、デバッグを容易にするとともに、動作時間その他の変更が容易になり、回路プログラム修正および作成が容易であるという効果を奏する。

【0053】初期条件(初期のレジスタ状態)を予めシーケンサに設定しておき、表1に示す特定フォーマットの動作順序1よりX054の入力レジスタをオン状態(表1および表2中「1」で示す)にするようにシーケンサに与える。一定時間シーケンサを動作させ、順に動作順序21まで繰り返し、動作順序22では、X052の入力レジスタをオンにするような条件を与え、かつ回路を動作させ、出力デバイスY50Cがオン状態になるか一定時間チェックし、オン状態にならない場合は、図3に示したように要因となる回路を検索し、要因を出力することができるという効果を奏する。出力デバイスY50Cがオン状態になったら、次の動作23を実行する。

【0054】動作確認を必要としない出力Yでも、クランプとリミットスイッチのように機械的な対応が有る場合、機械系入出力フォーマットに従い適正な入力条件を自動的に生成し、その都度シーケンサに設定することができるという効果を奏する。

【0055】動作順序23のように、順序内に複数の入力レジスタが有る場合は、X520とX521の入力レジスタを入れ替えて、同様のチェックを自動的に行うことにより、タイミングが問題になる動作順序の微妙な変化のチェックが可能になるという効果を奏する。

【0056】動作順序23において、X127の入力レジスタがオンの条件(表1中「10」で表示)であることから、強制的にX127の入力レジスタをその時点でおffさせ、動作しないか自動チェックすることにより、保持回路などによるメモリ接点による具合をチェックすることができるという効果を奏する。

【0057】上述の実施例は、説明のために一例として示したもので、本発明としてはそれに限定されるものではなく、特許請求の範囲に記載の本発明の思想に反しない限り変更および付加が可能である。

【図面の簡単な説明】

【図1】実施例のライン制御回路の評価装置のシステム概念図である。

【図2】実施例装置のハードブロック図である。

【図3】実施例装置のフローチャート図である。

【図4】実施例装置の要因回路の検索説明図である。

【符号の説明】

1 CPU

50 2 メモリ

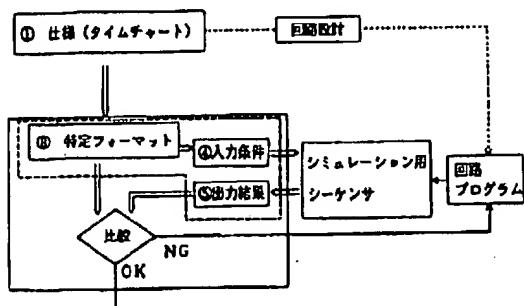
13

14

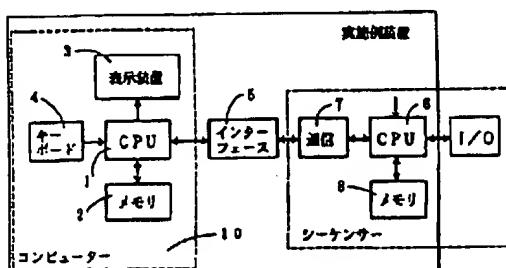
- 3 表示装置
4 キーボード
5 インターフェース

- 6 シーケンサCPU
7 通信機構
8 シーケンサメモリ

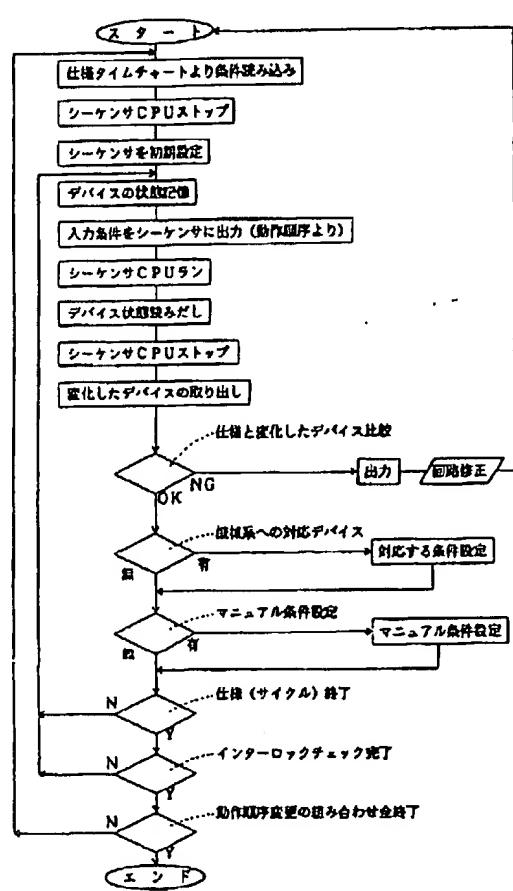
【図1】



【図2】



【図3】



【図4】

